

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : **04-290081**

(43) Date of publication of application : **14.10.1992**

---

(51) Int.Cl.

**H04N 5/335**

**H01L 27/146**

---

(21) Application number : **03-080867**

(71) Applicant : **SONY CORP**

(22) Date of filing : **18.03.1991**

(72) Inventor : **HAMAZAKI MASA HARU**

---

### (54) **SOLID-STATE IMAGE PICKUP DEVICE**

(57) Abstract:

PURPOSE: To accelerate switching speed in horizontal scan by attaching a function of a buffer and that of a horizontal gate switch on an FET of source follower, and making an output circuit into low impedance.

CONSTITUTION: All the picture elements of the selected horizontal line of a floating diffusion amplifier FDA 5 are sent to the output circuit 20 via a vertical signal line 9. When switches 17, 18 are turned off and a signal voltage is applied to a capacitor C1 and a switching means 16 is turned on by the horizontal timing pulse  $\phi_{Hn}$  of a horizontal scan circuit 19 in a horizontal blanking period, the output voltage of the capacitor C1 is derived to a signal line 15 via a source follower FET 16. When a horizontal timing pulse  $\phi_{Hn-1}$  goes to an H level, the FET 16 is operated, and the output voltage of an (n+1)th capacitor C1 is derived to the signal line 15, hereinafter, the same operation is repeated. Thereby, it is possible to accelerate the switching speed by reducing the load capacity and impedance of the output circuit.

---

### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平4-290081

(43)公開日 平成4年(1992)10月14日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H04N 5/335

E 8838-5C

H O 1 L 27/146

8223-4M

H0 1 L 27/14

A

審査請求 未請求 請求項の数 2 (全 4 頁)

(21)出願番号

特願平3-80867

(22) 出願日

平成3年(1991)3月18日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 浜崎 正治

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

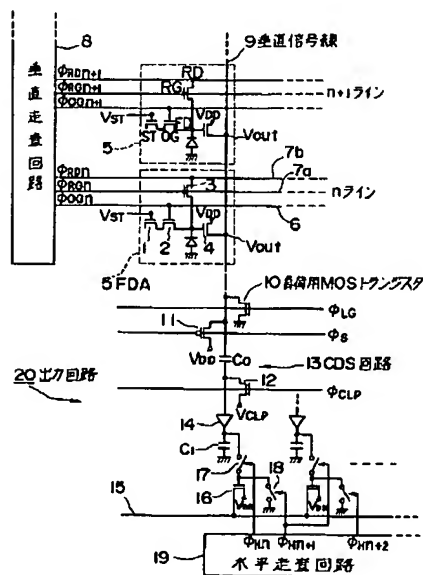
(74)代理人 弁理士 船橋 国則

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【目的】 出力回路を低インピーダンス化することにより、水平走査の際のスッチング速度の高速化を可能とする。

【構成】 増幅型固体撮像装置の出力回路において、ソースフォロワのFETにバッファ及び水平ゲートスイッチの機能を持たせ、又各垂直信号線に対して接続されたコンデンサの出力端とFETのゲート電極間に第1のスイッチ手段を、FETのゲート電極と基準電位点間に第2のスイッチ手段をそれぞれ配すことにより、出力回路の出力抵抗及び負荷容量を低減し、低インピーダンス化を図る。



本発明の一実施例の回路図

## 【特許請求の範囲】

【請求項1】 2次元配列された複数画素の各画素毎に、光電変換された信号電荷を増幅して垂直信号線に出力する増幅素子を有し、各垂直信号線に対して蓄電手段が接続された構成の固体撮像装置において、ソース電極が水平信号線に接続されたFETと、前記蓄電手段の出力端と前記FETのゲート電極間に接続された第1のスイッチ手段と、前記FETのゲート電極と基準電位点間に接続された第2のスイッチ手段とからなる出力回路を各垂直信号線毎に設けたことを特徴とする固体撮像装置。

【請求項2】 水平方向にて隣り合う出力回路間において、走査順序の次の出力回路の第1のスイッチ手段と前の出力回路の第2のスイッチ手段の駆動を同一のタイミング信号で行うことを特徴とする請求項1記載の固体撮像装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、固体撮像装置に関し、特に各画素毎に増幅素子を有する増幅型固体撮像装置に関する。

【0002】

【従来の技術】固体撮像装置のうち、CCD(Charge Coupled Device)型固体撮像装置では、各画素の光電変換部に入射光に応じて蓄積された信号電荷を、CCDを用いて電荷のまま出力部に転送する構成となっているが、CCDによる電荷転送中に雑音成分が混入することにより、S/Nが劣化し易いという不具合があった。かかる不具合を解消すべくなされた固体撮像装置として、入射光に応じて信号電荷を蓄積する光電変換部と、この光電変換部に蓄積された信号電荷を増幅して垂直信号線に出力する増幅用MOSトランジスタと、この増幅用MOSトランジスタの入力をリセットするリセット手段とを有するフォトセンサ部を、2次元配列された複数画素の各画素毎に設けた構成の増幅型固体撮像装置が知られている(例えば、特開平1-154678号公報参照)。

【0003】

【発明が解決しようとする課題】この種の固体撮像装置における出力回路では、図3に示すように、各垂直信号線9と接地間にコンデンサCが接続されており、このコンデンサCにサンプリングスイッチ31によって水平ブランキング期間で図示せぬフォトセンサ部からの出力電圧を蓄えておき、水平走査回路19による水平走査によって水平ゲートスイッチ33をスイッチングすることにより、コンデンサCのホールド電圧をバッファ32を通して順次水平信号線15へ導出する構成となっている。ここで、バッファ32と水平信号線15の間の水平ゲートスイッチ33をMOSトランジスタで構成すると、バッファ32の出力インピーダンス $r_s$ とスイッチMOSトランジスタ33の抵抗 $r_s$ が直列接続されたことにな

り、この直列抵抗( $r_s + r_s$ )が出力回路の出力インピーダンスとなる。

【0004】一方、スイッチMOSトランジスタ33の抵抗 $r_s$ は信号レベルにより変動するので、スイッチMOSトランジスタ33のチャネル幅Wを大きめに設定する必要がある。しかしながら、水平信号線15の配線をなすアルミニウム(A1)線の容量を $C_{A1}$ 、スイッチMOSトランジスタ33のゲート-ソース間容量及びソース-基板間接合容量を $C_{IS}$ 、水平方向の画素数をNとすると、水平信号線15の負荷容量 $C_H$ は、

$$C_H \approx C_{A1} + N \cdot C_{IS}$$

なる式で表され、MOSトランジスタ33のチャネル幅Wを大きくすると、容量 $C_{IS}$ が大きくなるため、水平信号線15の負荷容量 $C_H$ が増加することになる。このように、出力インピーダンスが大きいと、回路時定数が大きくなるため、水平走査の際のスイッチング速度の高速化が図れないこととなる。

【0005】そこで、本発明は、出力回路を低インピーダンス化することにより、水平走査の際のスイッチング速度の高速化を可能とした固体撮像装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明は、2次元配列された複数画素の各画素毎に、光電変換された信号電荷を増幅して垂直信号線に出力する増幅素子を有し、各垂直信号線に対して蓄電手段が接続された構成の固体撮像装置において、ソース電極が水平信号線に接続されたFETと、前記蓄電手段の出力端と前記FETのゲート電極間に接続された第1のスイッチ手段と、前記FETのゲート電極と基準電位点間に接続された第2のスイッチ手段とからなる出力回路を各垂直信号線毎に設けた構成を採っている。

【0007】

【作用】本発明による固体撮像装置において、ソースフォロワのFETがバッファ及び水平ゲートスイッチの機能を持つことから、従来の水平ゲートスイッチの抵抗分 $r_s$ をなくすることができ、又これによりFETのチャネルWを小さくできることから、負荷容量も低減できる。さらに、FETの電極側に第1、第2のスイッチ手段を配したことにより、第1、第2のスイッチ手段が小電流スイッチで良く、しかも水平信号線に直接接続されないため、水平信号線の負荷にならない。したがって、出力回路の出力抵抗及び負荷容量を低減でき、低インピーダンス化できるため、回路時定数が小さくなることにより、水平走査の際のスイッチング速度の高速化が図れる。

【0008】

【実施例】以下、本発明の実施例を図面に基いて詳細に説明する。図1は、本発明による固体撮像装置の一実施例の要部を示す回路図である。この図では、説明の都

合上、水平及び垂直方向においてマトリクス状に2次元配列された複数画素のうち、隣り合う $n$ 番目及び $n+1$ 番目の2ラインの各1画素のみの回路構成を示しているが、残りの画素も全て同じ回路構成となっているものとする。図において、各画素に光が入射すると、その入射光に応じた信号電荷がストレージ(ST)1に蓄えられる。このストレージ1及びその出力ゲート(OG)スイッチ2により1ピットのCCDが構成されている。また、このCCDと同一チップ上にリセット用MOS-FET3とソースホロワの増幅用MOS-FET4が作られ、増幅用MOS-FET4のゲートがFD(Floating Diffusion)に接続されてフローティング・ディフュージョン・アンプ(FDA)5を構成している。

【0009】このフローティング・ディフュージョン・アンプ5において、出力ゲートスイッチ2のゲート電極が出力ゲート(OG)信号線6に接続され、またリセット用MOS-FET3のゲート電極がリセットゲート(RG)信号線7aに、リセット電極がリセットドレイン(RD)信号線7bにそれぞれ接続されている。そして、垂直走査回路8から、出力ゲートスイッチ2のゲート電極に出力ゲートパルス $\phi_{oc}$ が、またリセット用MOS-FET3のゲート電極にリセットゲートパルス $\phi_{rc}$ が、ドレイン電極にリセットドレインパルス $\phi_{rd}$ がそれぞれ印加されることによって水平ラインの選択を行うように構成されている。また、増幅用MOS-FET4のドレイン電極には電源電圧 $V_{DD}$ が印加され、そのソース電極が出力端 $V_{out}$ として垂直信号線9に接続されている。そして、1の水平ラインが選択されると、その選択された水平ラインの全画素の信号電荷が増幅用MOS-FET4によって増幅されて垂直信号線9に出力される。

【0010】垂直信号線9には、負荷用MOSトランジスタ10及びP型MOS-FETからなる転送ゲートスイッチ11が接続されており、この垂直信号線9に出力された各画素の増幅出力はノイズ除去用コンデンサ $C_0$ に蓄えられる。このコンデンサ $C_0$ の出力端にはクランプスイッチ12が接続されており、クランプスイッチ12がそのゲート電極にクランプパルス $\phi_{cl}$ が印加されることによってオン状態となることにより、コンデンサ $C_0$ の出力端の電位がクランプレベル $V_{cl}$ にクランプされる。このノイズ除去用コンデンサ $C_0$ 及びクランプスイッチ12により、増幅用MOS-FET4のソース出力に含まれるリセット雑音等の雑音を低減するためのCDS(相関二重サンプリング)回路13が構成されている。

【0011】ノイズ除去用コンデンサ $C_0$ の出力はバッファアンプ13を経た後、その出力端と接地(基準電位点)間に接続されたサンプル/ホールド用コンデンサ $C_1$ に供給される。一方、水平信号線15にソース電極が接続されたFET16からなるソースフォロワ回路がバ

ッファとして設けられており、このFET16のゲート電極とサンプル/ホールド用コンデンサ $C_1$ の出力端間に第1のスイッチ手段17が、さらにFET16のゲート電極と接地(基準電位点)間に第2のスイッチ手段18がそれぞれ接続されている。これら第1、第2のスイッチ手段17、18のスイッチング制御は、水平走査回路19から出力される水平タイミングパルス $\phi_H$ によって行われる。以上の構成による出力回路20は、各垂直信号線9毎に設けられるものである。

【0012】次に、上述した出力回路20の回路動作につき、図2のタイミングチャートに基づき説明する。まず、1水平走査期間内において、その水平ブランキング期間に水平方向の全ての第1、第2のスイッチ手段17、18をオフ状態とし、コンデンサ $C_1$ に信号電圧を印加する。このとき、FET16のゲート電極は0[V]にホールドされているので、全てのソースフォロワ回路はオフ状態となっている。有効期間において、 $n$ 番目の第1のスイッチ手段16が水平タイミングパルス $\phi_{Hn}$ でオン状態になると、 $n$ 番目のコンデンサ $C_1$ の出力電圧が第1のスイッチ手段16及びソースフォロワのFET16を介して水平信号線15に導出される。次に、水平タイミングパルス $\phi_{Hn+1}$ が“H”レベルに遷移すると、第2のスイッチ手段17がオン状態になることにより、 $n$ 番目のFET16のゲート電極が0[V]となつてそのFET16がオフ状態となると同時に、 $n+1$ 番目の第1のスイッチ手段16がオン状態になることによつてFET16が動作し、 $n+1$ 番目のコンデンサ $C_1$ の出力電圧が水平信号線15に導出される。以降、上述の動作が順に水平方向に繰り返される。なお、水平タイミングパルス $\phi_{Hn+1}$ が“H”レベルに遷移した後、その前の水平タイミングパルス $\phi_{Hn}$ はそのまま“H”レベルを維持しても良く、又図2に一点鎖線で示すように、同じタイミングで“L”レベルに遷移しても良い。

【0013】このように、ソースフォロワのFET16を用いて従来例(図3参照)におけるバッファ32及び水平ゲートスイッチ33を構成したことにより、従来の水平ゲートスイッチ33の抵抗分 $r_s$ をなくすことができ、又これによりFET16のチャネル $W$ を小さくできることから、負荷容量も低減できることになる。さらに、FET16の電極側に第1、第2のスイッチ手段17、18を配したことにより、第1、第2のスイッチ手段17、18が小電流スイッチで良く、しかも水平信号線15に直接接続されないで、水平信号線15の負荷にならない。したがって、出力回路20の出力抵抗及び負荷容量を低減でき、低インピーダンス化できるため、回路時定数が小さくなることにより、水平走査の際のスイッチング速度の高速化が図れることになる。

【0014】

【発明の効果】以上説明したように、本発明によれば、画素毎に増幅素子を有する増幅型固体撮像装置の出力回

5

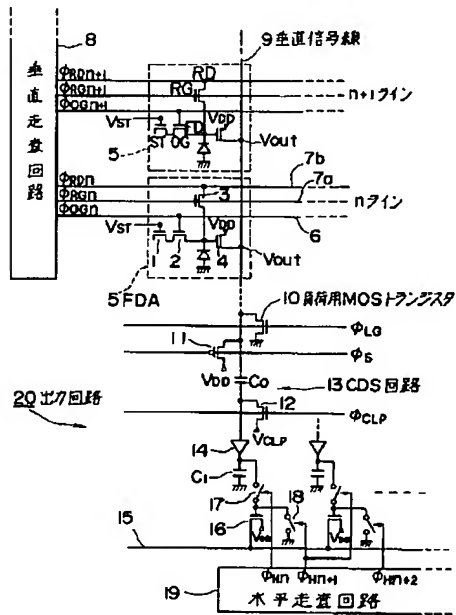
路において、ソースフォロワのFETにバッファ及び水平ゲートスイッチの機能を持たせ、又各垂直信号線に対して接続されたコンデンサの出力端とFETのゲート電極間に第1のスイッチ手段を、FETのゲート電極と基準電位点間に第2のスイッチ手段をそれぞれ配す構成としたことにより、出力回路の出力抵抗及び負荷容量を低減でき、低インピーダンス化できるので、回路時定数が小さくなることにより、水平走査の際のスッチング速度の高速化が図れる効果がある。

【図面の簡単な説明】

【図1】本発明による固体撮像装置の一実施例の要部を示す回路図である。

【図2】本発明に係る出力回路の回路動作を説明するタイミングチャートである。

【図1】



本発明の一実施例の回路図

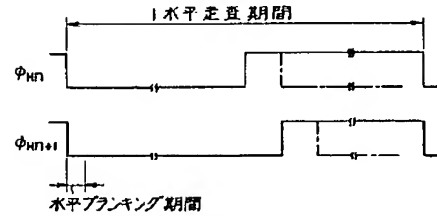
6

【図3】従来の出力回路の要部を示す回路図である。

【符号の説明】

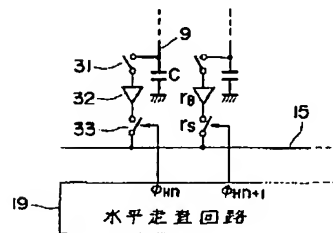
- 3 リセット用MOS-FET
- 4 増幅用MOS-FET
- 5 FDA (フローティング・ディフュージョン・アンプ)
- 10 負荷用MOSトランジスタ
- 12 クランプスイッチ
- 13 CDS (相関二重サンプルホールド) 回路
- 15 水平信号線
- 16 ソースフォロワのFET
- 17 第1のスイッチ手段
- 18 第2のスイッチ手段

【図2】



本発明に係る出力回路のタイミングチャート

【図3】



従来例の要部の回路図